

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-256359

(43) 公開日 平成4年(1992)9月11日

(51) Int.Cl.<sup>5</sup>  
H 0 1 L 27/108

識別記号

庁内整理番号

F I

技術表示箇所

8624-4M

H 0 1 L 27/10

3 2 5 D

8624-4M

3 2 5 U

審査請求 未請求 請求項の数1(全5頁)

(21) 出願番号 特願平3-206014

(22) 出願日 平成3年(1991)8月16日

(31) 優先権主張番号 5 6 8 3 9 0

(32) 優先日 1990年8月16日

(33) 優先権主張国 米国 (U S)

(71) 出願人 590000879

テキサス インスツルメンツ インコーポ  
レイテッド

アメリカ合衆国テキサス州ダラス, ノース  
セントラルエクスプレスウェイ 13500

(72) 発明者 マン ウォング

アメリカ合衆国テキサス州ダラス, アパー  
トメント ナンバー 2311, ベアー リッ  
ジ ドライブ 4900

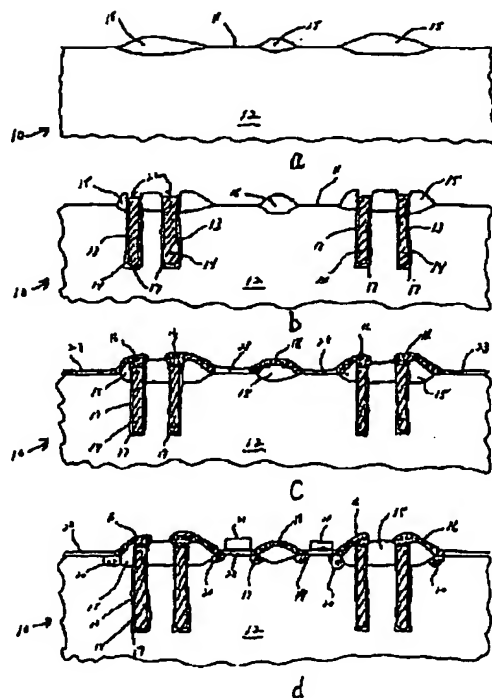
(74) 代理人 弁理士 浅村 皓 (外3名)

(54) 【発明の名称】 集積回路メモリ装置

(57) 【要約】 (修正有)

【目的】 浮遊電荷によるソフトエラーに対する感受度を低減し、ビットラインの容量を低減する。トレンチ間のリークの影響を最小にする。

【構成】 メモリ装置10は、各々トレンチ・キャパシタ13とバス・トランジスタを含む複数のメモリ・セルのアレイを有する。前記バス・トランジスタは、そのソース19が前記蓄積キャパシタ13へつながれ、そのドレイン20がビットライン18へつながれ、そのゲートがワード・ライン21へつながれている。ビット・ライン18は半導体基板12上のフィールド酸化物層15を覆って形成され、従ってビット・ライン18と半導体基板12との間には最小のコンタクトしか存在しない。トレンチ中の蓄積誘電体17は半導体基板12の表面よりもへこんでいる。



1

## 【特許請求の範囲】

【請求項1】 半導体基板中のメモリ・セルであって、キャパシタ電極材料を有し、それに電荷を蓄えるためのキャパシタと、前記基板の表面を覆う酸化物層上に形成されたビット・ライン・コンタクトと、前記キャパシタと前記ビット・ライン・コンタクトとの間で信号の転送を行うように動作的につながれたバス・ゲート・トランジスタであって、前記ビット・ライン・コンタクトが前記バス・ゲート・トランジスタのソース領域へつながれ、それによって前記ビット・ライン・コンタクトが前記基板と実質的に接触しないバスゲートトランジスタとを具備することを特徴とするメモリ・セル。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は一般的に集積回路メモリ装置に関するものであり、更に詳細には集積回路メモリ装置においてビット・ライン容量とソフトエラー発生率とを低減させるための装置と方法に関するものである。

【0002】

【従来の技術】 大規模なダイナミック・ランダム・アクセス・メモリ（DRAM）は一般的にシリコン基板中またはシリコン基板上にメモリ・セルのアレイを含んでいる。各セルは典型的には、ソースが蓄積キャパシタへつながれ、ドレインがビット・ラインへつながれ、ゲートがワード・ラインへつながれた単一の金属・酸化物・半導体電界効果トランジスタ（MOSFET）を含んでいる。このセルは論理“1”に対してコンデンサに電荷を蓄え、また論理“0”に対して電荷を蓄えないように動作する。従来、このセル・キャパシタは上の電極からは薄い酸化物層によって、また基板からは空乏層によってそれぞれ分離された反転層によって構成されている。これとは別の方式では、セル・キャパシタは基板中にエッチングされたトレンチ中に形成される。この型のキャパシタはトレンチ壁上に形成されたキャパシタ電極を有している。

【0003】 用いられるキャパシタの型がどのようなものであっても、そのようなメモリ・セルについての1つの関心事は、キャパシタまたはビット・ラインを衝撃するアルファ線のような放射線や周辺回路からの浮遊電荷のためにそのセル中に蓄えられている電荷に変化がもたらされるソフトエラーに対するセルの感受度の問題である。

【0004】 DRAMについての別の関心事はビット・ラインの容量である。容量が増大するとメモリの速度は低下する。従って、浮遊電荷によって引き起こされるソフトエラーに対する装置の感受度を最小に保ちながら、ビット・ライン容量を減らすことが要求される。

【0005】

【発明の概要】 従って、本発明の1つの目的は、浮遊電荷によって引き起こされるソフトエラーに対する感受度

2

を低減化したメモリ・セルを得ることである。

【0006】 本発明の別の1つの目的は、低減化したビット・ライン容量を有するメモリ装置を得ることである。

【0007】 本発明の別の1つの目的は、トレンチからトレンチへのリークに対する感受度を最小化したトレンチ・キャパシタが使用できるメモリ装置を得ることである。

【0008】 本発明の更に別の1つの目的は、トレンチ・キャパシタを用いたメモリ装置であって、装置の製造中に用いられる注入および/または処理工程による損傷に対するトレンチの感受度を低減化するために、蓄積誘電体の表面をトレンチの露出表面からへこませた構造のトレンチ・キャパシタを用いたメモリ装置を得ることである。

【0009】 上に述べた目的は、各々のセルがトレンチ・キャパシタとバス・トランジスタを含むメモリ・セル・アレイを有するメモリ装置によって実現される。このトランジスタはそのソースが蓄積キャパシタへつながれ、そのドレインがビット・ラインへつながれ、またそのゲートがワード・ラインへつながれている。ビット・ラインは半導体基板上に形成されたフィールド酸化物層上に形成され、そのためビット・ラインと半導体基板との間には最小限のコンタクトしか形成されていない。トレンチ中の蓄積誘電体は半導体基板表面よりもへこんでいる。本発明は、以下に図面を参照しながら説明する。

【0010】

【実施例】 本発明のメモリ装置10は図1aからdに示されたように作製される。図1aは、LOCOS形成によって基板表面上に選択的にフィールド酸化物層15を成長させた後の半導体基板12の断面を示す。あるいは、半導体基板の表面全体にフィールド酸化物層15を取り付けて、酸化物領域15の間の領域をエッチングによって除去して基板表面11を露出させてもよい。もし周辺回路（図示されていない）をメモリ・アレイ内のトランジスタのように持ち上がったトランジスタで構成することが不必要であるか、あるいは望ましくなければ、周辺LOCOSを部分的に形成し、メモリ・セル・アレイをパターン加工し、その後周辺LOCOSを完成させると共にメモリ・セル・アレイLOCOSを形成するようにする。

【0011】 次の段階は、図1bに示すような構造を得るものであるが、メモリ・セル・アレイ中のフィールド酸化物層15の選ばれた領域中に、例えば深いエッチング工程によってキャパシタ・トレンチ13を形成し、そのようにして形成されたトレンチを蓄積誘電体材料17とISD-A sポリ等のキャパシタ電極材料14で充填することである。キャパシタ電極材料14もまた、トレンチ13内にへこみ22を形成するようにフィールド酸化物層15の表面からエッチバックするのが望ましい。

【0012】次に半導体基板12上のフィールド酸化物領域15の間にワード・ライン・バスを定義するエピタキシャル層23を堆積させる。同時に多結晶シリコン層16も、フィールド酸化物層15上およびトレンチ13中に形成されたへこみ22中へ広がって堆積される。結果の構造は図1cに示されている。

【0013】ワード・ライン21が多結晶シリコン層23で実現され、従来のようにしてバス・トランジスタのゲートを形成する。最後に、エピタキシャル層23上でバス・ゲート・トランジスタがパターン加工され、図1dに示されたように、基板12中の所定の場所にトランジスタのソース/ドレイン領域19、20が注入される。

【0014】次に図1dを参照すると、本発明の好適実施例が示されている。本発明のメモリ装置10は図示されたP形基板のような半導体基板12を含んでいる。メモリ装置10は、既に述べたように深いエッチング工程等の任意の便利な手段によって基板12中に形成された複数のトレンチ・キャパシタ13を含んでいる。各トレンチ13の内側は、トレンチ・キャパシタを構成するための適当な蓄積誘電体材料17とキャパシタ電極材料14で充填されている。このトレンチの開口領域上に、トレンチ13中のキャパシタ電極材料14と接触するための導電性コンタクト16として機能する多結晶シリコンが堆積される。フィールド酸化物層15上に、基板12の伝導形と逆の伝導形に高濃度にドーブされた領域19に接触するように、ビット・ライン・コンタクト18が形成される。高濃度にドーブされた領域19はワード・ライン21に付随するバス・トランジスタのソースを構成する。高濃度にドーブされた領域20はバス・トランジスタのドレインを構成する。このドレイン領域20もまた導電性コンタクト16と接触している。

【0015】動作時には、ワード・ライン21を駆動することによって、ビット・ライン18上に存在する電荷がソース領域19、P形基板12、ドレイン領域20、導電性コンタクトを経て、トレンチ13中の蓄積誘電体材料14へ転送される。このようにして、ビット・ライン18上に存在する情報がメモリ・セルのトレンチ・キャパシタ中へ読み出される。逆に、トレンチ・キャパシタ中に蓄えられている情報は逆のバスを経てビット・ライン上へ転送できる。

【0016】結果としての半導体構造は、キャパシタ電荷がトレンチの外側表面上の代わりにトレンチ中に蓄えられており、そのためトレンチからトレンチへのリークの可能性が減少するという利点を有している。蓄積誘電体は、フィールド酸化物層の表面からへこんでいるため、それ以降の注入やその他の処理工程の間に蓄積誘電体材料に対する損傷の感受度を低減化させている。ビット・ライン・コンタクトはフィールド酸化物層上に形成されているので、ビット・ライン・コンタクトと半導体

基板との間の結合容量は最小化される。更に、キャパシタ電荷がトレンチ中に蓄えられていることと、ビット・ラインと半導体基板との間の接合の露出が最小であることのために、ソフトエラー耐性も増大する。メモリ装置の電荷に敏感な部分に照射されるアルファ粒子のような浮遊電荷に対して露出される場所はより少なくなっている。

【0017】本発明はここに開示された実施例に関して説明していきだが、この説明はほんの一例であって、これをもって本発明を制限するものでないことを理解されたい。更に、本発明の実施例の詳細に関しての数多くの変更、また本発明の別の付加的な実施例が可能であることは、本明細書を参考にすることによって当業者に明かであろうことも理解されたい。例えば、Pチャネル・トランジスタは装置の設計に適切な変更を伴わせることによってNチャネル・トランジスタで置き換えることが可能である。更に、トレンチ・キャパシタを積層キャパシタで置き換えることもできる。それらすべての変更や付加的な実施例についても、特許請求の範囲に示された本発明の範囲に含まれるものと解釈されるべきである。

【0018】以上の説明に関して更に以下の項を開示する。

(1) 半導体基板中のメモリ・セルであって、キャパシタであって、前記キャパシタ中に電荷を蓄えるためのキャパシタ電極板材料をその中に含むキャパシタ、前記基板の表面を覆う酸化物層上に形成されたビット・ライン・コンタクト、前記キャパシタと前記ビット・ライン・コンタクトとの間で信号の転送を行うようにつながれたバス・ゲート・トランジスタであって、前記ビット・ライン・コンタクトが前記バス・ゲート・トランジスタのソース領域へつながれ、それによって前記ビット・ライン・コンタクトが前記基板との間にそれ以外のコンタクトを本質的に有しないようになっているバス・ゲート・トランジスタ、を含むメモリ・セル。

【0019】(2) 第1項のメモリ・セルであって、前記キャパシタ電極板が前記基板の表面よりへこんでいるようなメモリ・セル。

【0020】(3) 第1項のメモリ・セルであって、更に前記キャパシタ電極板と前記バス・ゲート・トランジスタのドレインとをつなぐ導電性層を含むメモリ・セル。

【0021】(4) 第3項のメモリ・セルであって、前記キャパシタ電極板材料が前記基板の表面よりへこんでいるメモリ・セル。

【0022】(5) 第1項のメモリ・セルであって、前記キャパシタがトレンチ・キャパシタであるメモリ・セル。

【0023】(6) メモリ装置であって、基板、前記基板中に形成された複数のトレンチであって、前記トレンチの各々が前記トレンチ中に電荷を蓄えるためのキャ

5

バシタ電極板材料をその中に含む、複数個のトレンチ、前記基板の表面を覆う酸化物層上に形成された複数個のビット・ライン・コンタクト、各々が、前記トレンチ・キャパシタの選ばれた1つと前記ビット・ライン・コンタクトのそれに付随する選ばれた1つとの間で信号を転送するようにつながれた複数個のバス・ゲート・トランジスタであって、前記ビット・ライン・コンタクトの各々が前記バス・ゲート・トランジスタのそれに付随する1つのトランジスタのソース領域へつながれており、それによって前記ビット・ライン・コンタクトが前記基板との間に本質的にそれ以外のコンタクトを有しないようになっている複数個のバス・ゲート・トランジスタ、を含むメモリ装置。

【0024】(7) 第6項のメモリ装置であって、前記キャパシタ電極板材料が前記基板の表面よりもへこんでいるメモリ装置。

【0025】(8) 第6項のメモリ装置であって、更に前記キャパシタ電極板材料と前記バス・ゲート・トランジスタのそれに付随する1つのトランジスタのドレインとをつなぐ導電性層を含んでいるメモリ装置。

【0026】(9) 第8項のメモリ装置であって、前記キャパシタ電極板材料が前記基板の表面よりもへこんでいるメモリ装置。

【0027】(10) 各々トレンチ・キャパシタとバス・トランジスタとを含む複数個のメモリ・セルのアレイを有するメモリ装置が開示されている。前記バス・トラン

6

ジスタは、そのソースが前記蓄積キャパシタへつながれ、そのドレインがビット・ラインへつながれ、そのゲートがワード・ラインへつながれている。ビット・ラインは半導体基板上のフィールド酸化物層を覆って形成され、従ってビット・ラインと半導体基板との間には最小のコンタクトしか存在しない。トレンチ中の蓄積誘電体は半導体基板の表面よりもへこんでいる。

【図面の簡単な説明】

【図1】本発明に従って製造される装置の拡大された部分的断面図。図1dは本発明の好適実施例の部分的断面図。

【符号の説明】

- 10 メモリ装置
- 11 基板表面
- 12 半導体基板
- 13 キャパシタ・トレンチ
- 14 キャパシタ電極材料
- 15 フィールド酸化物層
- 16 導電性コンタクト
- 20 蓄積誘電体材料
- 18 ビット・ライン
- 19 ソース領域
- 20 ドレイン領域
- 21 ワード・ライン
- 22 へこみ
- 23 エピタキシャル層

【図1】

